

特点

- ◆ 输入电压：4.5~12V
- ◆ 输出电压：3~12V
- ◆ 充电电流（可调）：0~3A
- ◆ 放电电流（可调）：0~6A
- ◆ 充电效率：95% @ 12V/1.5A
- ◆ 放电效率：94% @ 12V/1.5A
- ◆ 支持 QC2.0/3.0、PE1.0、BC1.2 DCP、APPLE

2.4A 快充协议

- ◆ 支持 4.2/4.3/4.35/4.4V 单节电池电压
- ◆ 支持 AABC 接口形式

- ◆ 支持插入检测
- ◆ 支持边充边放：优先充手机。
- ◆ 支持电池高低温保护
- ◆ 支持 LED 恒流输出
- ◆ 集成输出过压/欠压/短路保护
- ◆ 集成输出过流/反向电流保护
- ◆ 集成电池过充和过放保护功能
- ◆ 集成输入欠压/过压保护
- ◆ 集成输入电流自适应
- ◆ 集成输出电压自适应
- ◆ 封装形式：QFN32 5*5mm

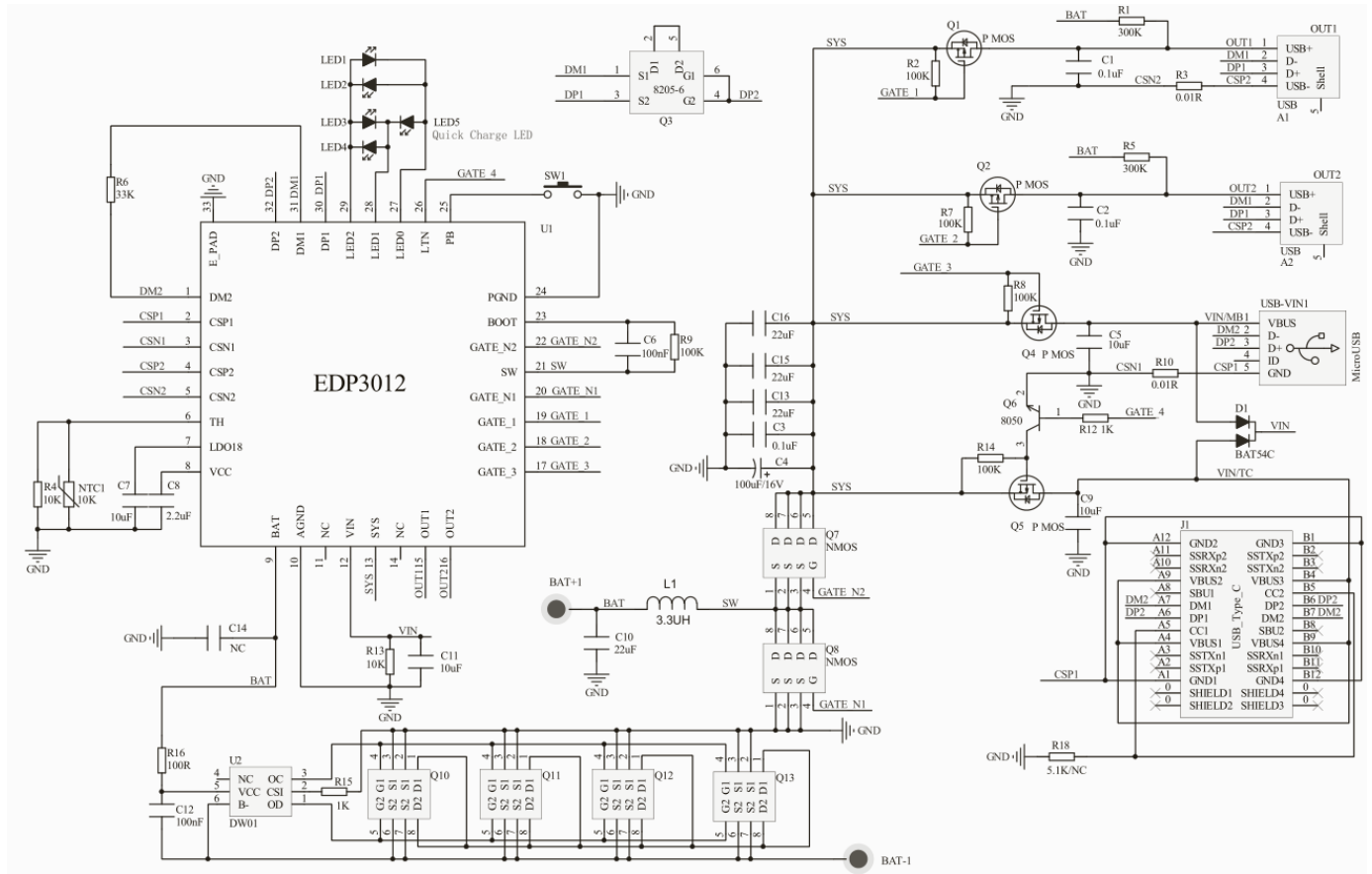
概述

EDP3012 是为快充移动电源设计的一颗 SOC 芯片；芯片内部集成了 QC2.0/3.0、PE1.0、BC1.2 DCP、APPLE 2.4A 快充协议；还集成了充放电管理模块，LED 指示模块，电池过充、过放保护和高低温保护，输出过压、欠压、短路保护、电流过流保护，输入过压/欠压保护及电流自适应功能等多重安全保护功能；芯片支持双口随机插入快放功能（插入任意 A 口都可以实现快放，再插入另一个手机时降到 5V 并同时放电）；支持边充边放：先给手机充电，手机充满后再给电池充电。支持 AABC 接口形式。

应用范围

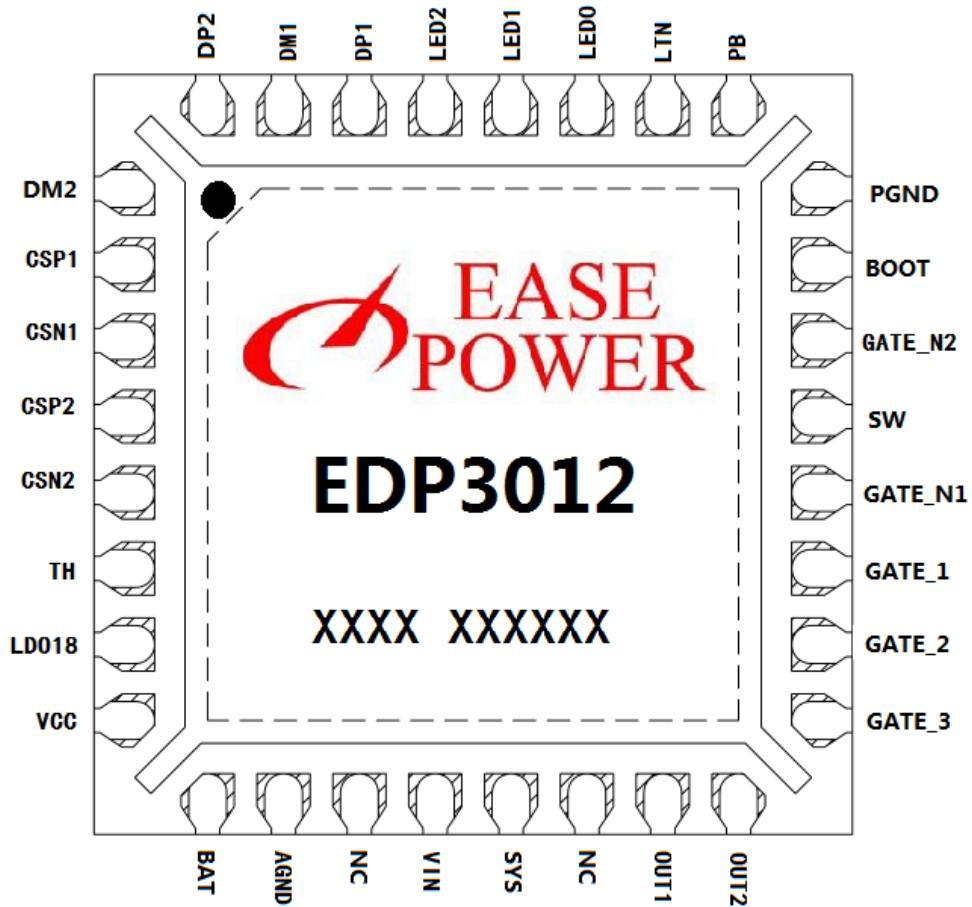
- ◆ 快充移动电源
- ◆ 快充车充
- ◆ 智能排插

典型应用原理图 (根据应用可以做灵活调整)



注：实际应用原理图以原厂另行提供的原理图为准

管脚定义



说明: I/O 耐压特性L指的是5V I/O口, 其耐压范围是-0.7~8V, H指的是高压 I/O 其耐压范围是-0.7~45V.

管脚号	管脚名称	I/O	I/O 耐压特性	管脚定义
1	DM2	I/O	L	USB D- 端
2	CSP1	I	L	内部电流采样通道 1 的 P 端
3	CSN1	I	L	内部电流采样通道1的 N 端
4	CSP2	I	L	内部电流采样通道2的 P 端
5	CSN2	I	L	内部电流采样通道2的 N 端
6	TH	I	L	电池温度测量端
7	LD018	0	L	1.8V LDO 输出, 外接10uF 电容
8	VCC	0	L	5V LDO 输出, 接 2.2uF 电容.
9	BAT	I	L	电池正端
10	AGND	I	L	芯片模拟地

11	NC			NC
12	VIN	I	H	VIN 输入脚
13	SYS	0	H	电源
14	NC			NC
15	OUT1	0	H	输出端
16	OUT2	0	H	输出端
17	GATE_3	0	H	PMOS 驱动控制端
18	GATE_2	0	H	PMOS 驱动控制端
19	GATE_1	0	H	PMOS 驱动控制端
20	GATE_N1	0	H	NMOS 驱动控制端
21	SW	0	H	开关脚
22	GATE_N2	0	H	NMOS 驱动控制端
23	BOOT	0	H	GATE_N2电源供电, 连接100nF 电容到 SW
24	PGND	I	L	芯片功率地
25	PB	I	L	按键检测脚
26	LTN	I/O	L	外接 LIGHT 灯
27	LED0	I/O	L	外接 LED 灯
28	LED1	I/O	L	外接 LED 灯
29	LED2	I/O	L	外接 LED 灯
30	DP1	I/O	L	USB D+ 端
31	DM1	I/O	L	USB D- 端
32	DP2	I/O	L	USB D+ 端

电气参数 (TA = +25 ° C)

参数	符号	最小值	典型值	最大值	单位	条件
输入电压	Vin	4.5		12	V	
电池电压	Vbat_n1	2.8	3.7	4.4	V	
输出电压	Vout1/2	3		12	V	
充电电流	Ichg	0		3	A	
放电电流	Iout	0		6	A	
开关频率范围	FswH		200k		Hz	
温度保护	Tprt	-15		80	° C	
充满电压精度		-1		1	%	
充电电流精度		-5		5	%	
LED 驱动电流	Iled		10		mA	恒流源输出
待机电流	Ibat_std			46	uA	@Vbat=4.2v, temp=25 ° C

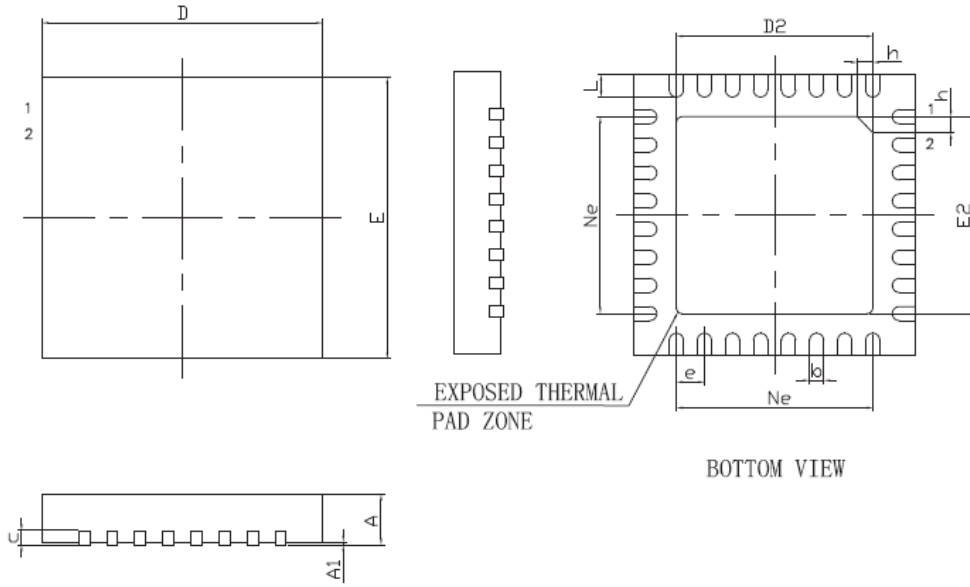
极限参数

参数	阈值	单位	条件
存储环境温度	-50~150	度	
工作环境温度	-20~80	度	
工作结温	-40~150	度	

PCB 设计参考:

1. IC 下面需敷铜散热 (IC 衬底要连接到 PGND), 散热面积尽量大, 衬底焊盘打通孔到 PCB 底层, 并适当露铜皮增强散热。
2. 大电流通路尽量走在同一层, 而要尽量粗短。如: BAT, 电感 L 到 SW, Vout 走线等。
3. CSNx, CSPx (x=1-2) 走线要避免干扰源器件, 走线尽量在同一面。同时两条线必须从采样电阻两端接入芯片, 不得随意将其他的 PGND 电位接入芯片管脚。
4. LDO18 脚的 10uF 电容要靠近芯片管脚, AGND 用单点接连的方式回到 PGND。

封装外形尺寸:



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	—	0.02	0.05
b	0.18	0.25	0.30
c	0.18	0.20	0.25
D	4.90	5.00	5.10
D2	3.40	3.50	3.60
e	0.50BSC		
Ne	3.50BSC		
E	4.90	5.00	5.10
E2	3.40	3.50	3.60
L	0.35	0.40	0.45
h	0.30	0.35	0.40
L/F载体尺寸	150x150		130x130