

EDP3027

两路多协议 PD, QC, PE, AFC, FCP 单芯片, 带 LED 屏快充车充

版本: 1.00

日期: 2018-03-19

文档历史记录			
日期	版本号	姓名	版本更新记录
2018-03-19	V1.00	周玉春	Draft

功能:

- ✓ 支持 PD2.0, QC2.0, QC3.0, PE, AFC, FCP, BC1.2 DCP, APPLE 2.4A 快充协议, 兼容市面上几乎所有相关协议手机。
- ✓ PD 支持苹果 iPhone8 / iPhoneX ,HP、DELL、华为、小米、任天堂等笔记本, 平板, 手机和游戏机等兼容性优异,
- ✓ 两路 AC 口输出: C 口支持 PD2.0 快充; A 口支持 QC, PE, AFC, FCP, SCP 快充;
- ✓ PD 额定 36W 输出功率 (可配置: 18W, 24W,36W,45W 等)
- ✓ 放电效率: 大于 93%@5V/3A
- ✓ C 口对手机充电不反灌
- ✓ 输出电压自适应
- ✓ 188 LED 屏显示输入电压
- ✓ AC 口都插入手机后输出电压降到 5V
- ✓ 过流, 过压/欠压, 短路保护
- ✓ 输入电压范围: 8.0V~28V(耐压 40V)
- ✓ 输出电压范围: 4.5V~12V
- ✓ 芯片耐压 40V

特色:

EDP3027 两路多协议 PD,QC,PE,AFC,FCP,SCP 单芯片,带 LED 屏显示快充车充方案. 用一颗芯片完成了 DC-DC 升降压和快充协议, 方案集成度高, 外围原件少, 热效率优秀. 元件温度低于 70°C。 支持 PD2.0, QC2.0, QC3.0, PE, AFC, FCP, BC1.2 DCP, Apple 2.4A 快充协议. PD 支持 5V, 9V, 12V 输出电压. 测试了市场上几乎所有相关协议设备, 包括手机和笔记本等, 兼容性几乎做到 100%.

支持过压/欠压, 过流, 短路等保护功能. 安全性高, 可靠性好, 生产简单, 是当前市面上唯一一款双口输出全协议带 PD 的, LED 屏显示快充车充方案.

功能描述：

1) 接口协议及功率

输出		
接口	协议	额定功率（输出过流点）
A	BC1.2 DCP / QC 2.0 / QC 3.0 / PE / AFC / FCP / SCP / Apple 2.4A	A口： 24W（5V/3.4A, 9V/2.4A, 12V/2.2A） C口： 36W（PD配置电流：5V/3.0A, 9V/3.0A 12V/3.0A 过流点：5V/3.4A, 9V/3.4A, 12V/3.6A） (多于一个口输出功率为 18W: 5V,3.4A)
C	BC1.2 DCP / PD2.0 / Apple 2.4A	

2) 操作 UI

插入汽车车充座系统开始工作，LED显示输入电压。此时插入手机后开始给手机充电。若手机支持快充的话则执行快充握手后协调输出电压进入快充。负载电流小到一定程度后确认手机充满电，延时一段时间后关闭输出，进入待机。待机后再次拔插手机重新给手机充电。

当发生过压，欠压，过流，短路等异常时，立即关机。

电性能参数：

静态特性 (实际样板测试数据，不同样板数据会有一些差异)：

待机电流		8	10	16	mA
------	--	---	----	----	----

输入特性 (实际样板测试数据，不同样板数据会有一些差异)：

参数	测试条件	Min	Typ	Max	Unit
输入电压		8	12	28	V

输出特性 (实际样板测试数据，不同样板数据会有一些差异)：

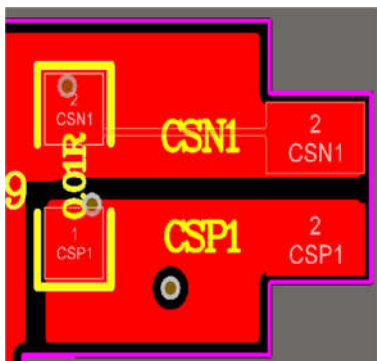
参数	测试条件	Min	Typ	Max	Unit
放电额定功率			36		W
放电效率	Vout \backslash VIN	10V	12V	24V	%
	5V/3A	93.2	92.3	89.1	
	9V/2A	95.7	94.8	89.5	
	12V/1.5A			89.6	
温度 MOS,电感表面	室温 25°C	68			°C
输出电压		4.5	依快充协议	12.0	V
输出过流点	输出电压	5V	9V	12V	A (+/-10%)
	C口过流点	3.4	3.4	2.4	
	A口过流点	3.4	2.4	2.2	
负载充满电流 (无负载电流)		50	60	100	mA
带载纹波	Vout \backslash VIN	10V	12V	24V	mV
	5V/3A	79	129	146	
	9V/2A	64	77	94.7	
	12V/1.5A			82	

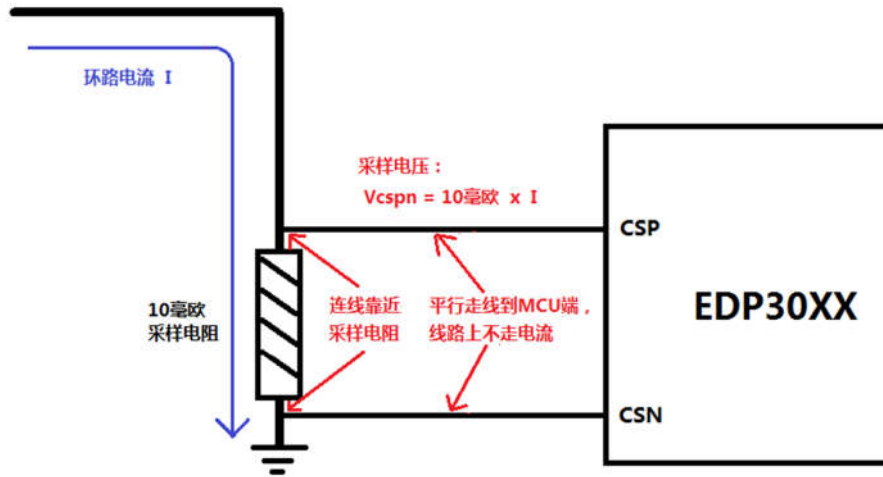
应用电路：

<请联系索取最新的电路图>

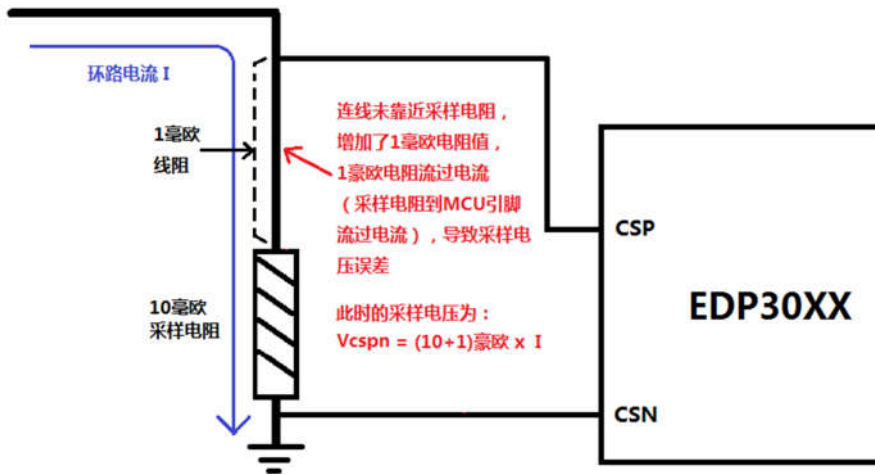
PCB 设计参考：

1. IC 下面需敷铜散热 (IC 衬底要连接到 PGND), 散热面积尽量大, 衬底焊盘打通孔到 PCB 底层, 并适当露铜皮增强散热。
2. LDO18 脚的 10uF 电容要靠近芯片管脚; AGND 用单点接连的方式回到 PGND。
3. 采样电阻 CSP, CSN 端 Layout 应遵循如下规则：
 - a) CSP, CSN 走线要尽量避开干扰源器件比如电感, 环路 MOS, Vout 等;
 - b) CSP, CSN 走线尽量在同一层, 减少打孔的情况;
 - c) CSP, CSN 两条线都必须靠近采样电阻, 从采样电阻两端平行走线接入芯片且尽量靠近芯片; 采样电阻到芯片端之间的连线不得过电流. 同样原理 CSN 也是不可以直接和 PGND 相连。





正确做法



错误做法

4. 大电流通路 (升降压环路部分电路：BAT – 电感 – MOS -- VOUT)：尽量走在同一层，而且尽量粗短，同时地的面积也尽量增大且要完整。这样可以增加散热，减小纹波并降低 EMC 干扰。
- 5, USB 口外壳不可以直接接 GND. 因为某些 USB 线负极是与外壳相连的，而采样电阻是需要接在接口负极与 GND 中间，若两者相连则相当于采样电阻短路了。
- 6, 为保证散热，EMC 等性能最佳，推荐使用四层板。

Q&A :

Q: 输入输出接口外壳是否可以接 GND.

A: 不可以. 因为某些接口连接线负极是与外壳相连的, 而我们的采样电阻是需要接在 GND 与接口负极中间, 若两者相连则相当于采样电阻短路了.