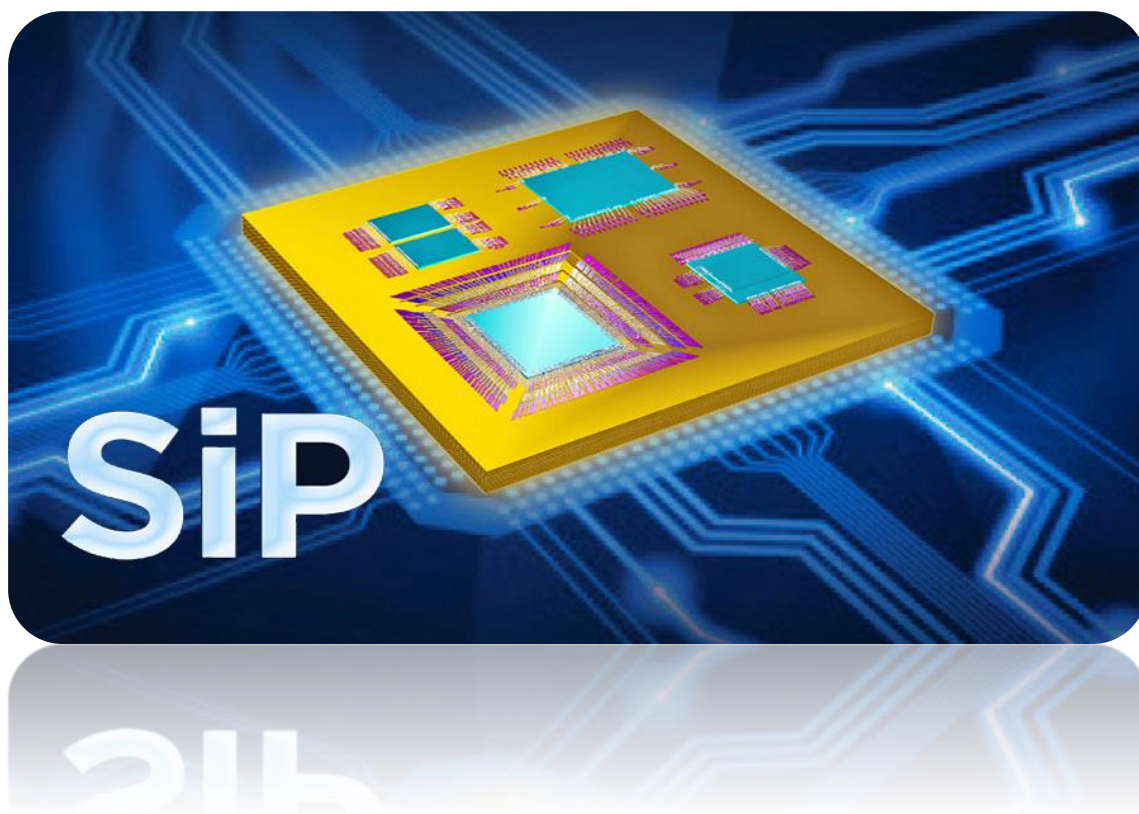


# SiP 系统级封装

## 技术优势及设计流程



奥肯思科技有限公司

北京·上海·成都·深圳

2017 年 8 月

## ● SiP 系统级封装技术优势

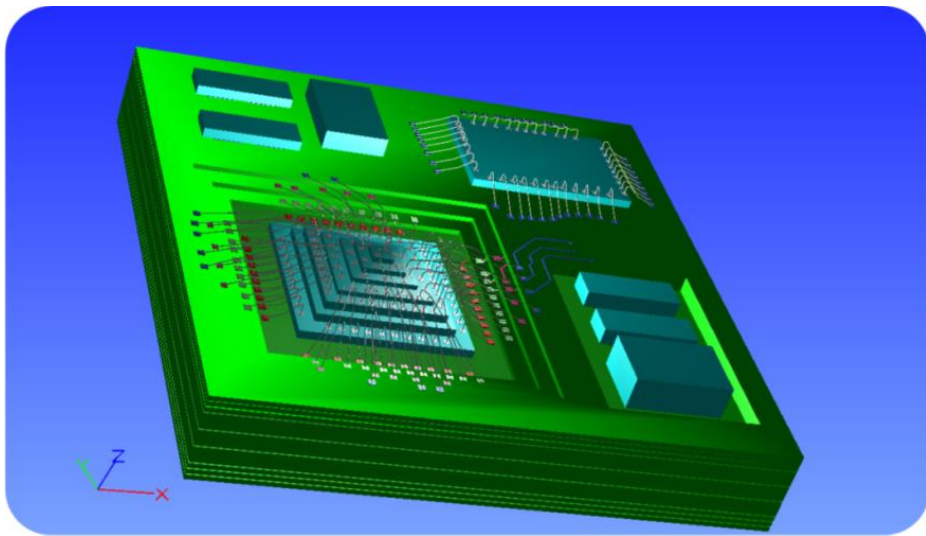
SiP ( System in Package ) 系统级封装技术正成为当前电子技术发展的热点，受到了来自多方面的关注，这些关注既来源于传统封装 Package 设计者，也来源于传统的 MCM 设计者，更多来源于传统的 PCB 设计者，甚至 SoC 的设计者也开始关注 SiP。

- 和 Package 比较而言，SiP 是系统级的多芯片封装，能够完成独立的系统功能。
- 和 MCM 比较而言，SiP 是 3D 立体化的多芯片封装，其 3D 主要体现在芯片堆叠和基板腔体上，同时，SiP 的规模和所能完成的功能也比 MCM 有较大提升。
- 和 PCB 比较而言，SiP 技术的优势主要体现在小型化、低功耗、高性能方面。实现和 PCB 同样的功能，SiP 只需要 PCB 面积的 10-20%左右，功耗的 40%左右，性能也会有比较大的提升。
- 和 SoC 比较而言，SiP 技术的优势主要体现在周期短、成本低、易成功方面。实现同样的功能，SiP 只需要 SoC 研发时间的 10-20%，成本的 10-15%左右，并且更容易取得成功。因此，SiP 被很多行业用户作为 SOC 建设的低成本、短期替代方案，SOC 项目开始时以 SiP 作为先行者，迅速且低成本地做出 SiP 产品，当 SiP 在项目上取得一定的阶段性成果之后，收到多方认可和支持，再将重心转到 SOC 研发上。

对于航天应用中的抗辐照设计，国内外已经开始考虑在 SiP 封装外壳材料上进行抗

辐照加固处理，这样比在板级加固效果要更好，而且重量更轻，更利于航天应用。

SiP 和 PCB 相比，由于面积更小，互联线更短，所以其高频特性更好。同时，由于互联线短，消耗在传输线的能量更少，从而也在一定程度上节省了功耗，实现了降低功耗的作用，在高速电路设计中这种效果尤其明显。



SiP 是 IC 产业链中知识、技术和方法相互交融渗透及综合应用的结晶，它最大限度地灵活应用各种不同芯片资源和封装互连优势。

SiP 系统级封装集成能最大程度上优化系统性能，避免重复封装,缩短开发周期、降低成本并提高集成度,掌握这项新技术是进入主流封装领域之关键。

在国际上，SiP 技术被广泛应用于航空航天、军工、无线通信、传感器、计算机和网络等方面。

目前全世界封装产值只占 IC 总产值的 10%左右，当 SiP 技术被封装企业掌握后，产业格局就要开始调整,封装行业将会出现一个跳跃式的发展，这是中国发展具有 IP 核的大好时机。毋庸置疑，SiP 技术不仅面临着更大的机遇和挑战，而且也孕育着更为广

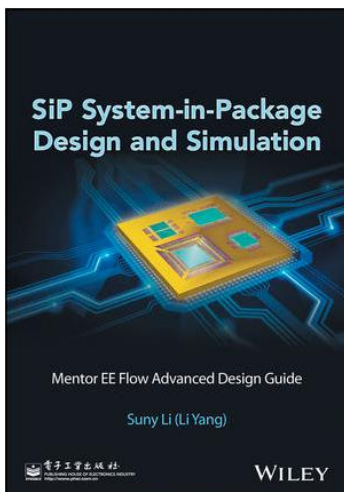
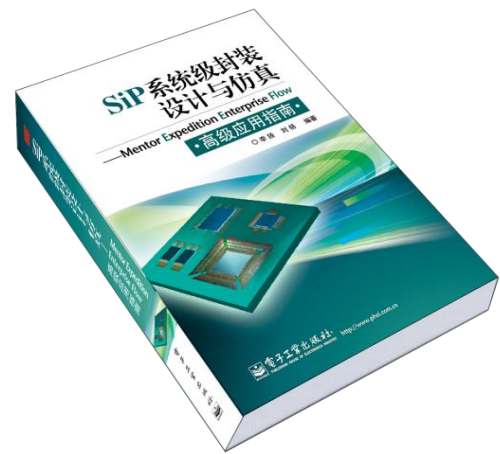
阔的发展空间。

SiP 技术是近些年来国内外研究的重点，是电子系统小型化的重要手段，SiP 可以通过传统的微组装技术来实现 3D 系统级封装，表现为芯片堆叠、封装堆叠及基板堆叠等方式来实现，另一种方式是通过硅通孔技术（TSV）实现系统级封装。

在国内，越来越多的电子设计工程师开始关注和学习 SiP 的技术，但由于目前关于 SiP 设计和仿真方面的综合书籍很缺乏，设计者往往无从下手，这在一定程度上也阻碍了 SiP 技术在国内的快速发展。

Mentor Xpedition 是一款专业的 SiP 设计工具，包括原理图设计、版图布线设计、电学分析及热分析等模块，可以实现芯片堆叠、基板堆叠、复杂腔体结构设计，是一款真正意义上的 3D 设计工具。

基于 Xpedition (Expedition) 的 SiP 的高级设计指南技术书籍《SiP 系统级封装设计与仿真》2012 年由电子工业出版社正式出版发行，大大地便利了关注和学习 SiP 技术的工程技术人员。

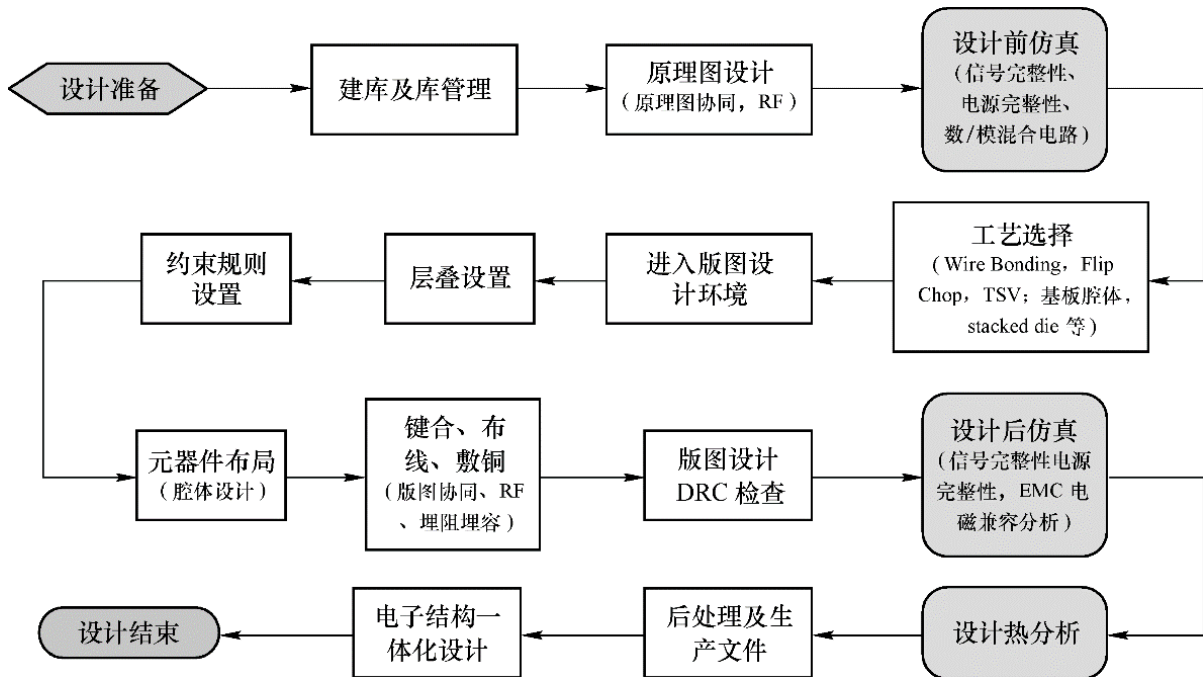


在该书的基础上，2017 年 7 月，由 WILEY 在全球出版并发行了英文版技术书籍《SiP System-in-Package Design and Simulation *Mentor EE Flow Advanced Design Guide*》，目前在亚马逊网站已经有售。

<https://www.amazon.com/dp/1119045932>

## ● SiP 设计与仿真流程的主要内容

SiP 的设计与仿真流程的主要内容如下图所示：



### (1) 设计准备

设计准备的工作主要包括：① 各种资料的收集，裸芯片相关资料，管脚定义，物理尺寸，能否采购获取等。② 封装类型的确定，是采用 BGA 封装还是其他封装形式；封装尺寸的确定；封装管脚间距、管脚数目的确定。③ 采用自定义管脚排列方式还是采用标准的封装，或者和别人曾经用过的封装管脚兼容，以便于后期的组装和测试。④ 封装工艺和材料的选择，根据其应用的领域选择塑封、陶瓷封装或者金属封装。

### (2) 建库及库管理

建库及库管理主要包括原理图符号库、IC 裸芯片库、BGA 封装库、Part 库以及仿真

模型库等。

### **(3) 原理图设计**

原理图设计包括原理图输入，射频原理图设计以及原理图协同设计等。

### **(4) 设计前仿真**

设计前仿真可和原理图设计同步进行，通过“*What if*”分析，确定设计层叠结构、关键信号的网络拓扑结构、阻抗匹配，以及电源平面的分割、电容种类及型号选择等。对模拟电路或者数模混合电路，可进行电路的功能仿真。

### **(5) 工艺选择**

工艺选择主要是为了确定 SiP 采用哪种工艺的封装形式，如 Wire Bonding、FlipChip、TAB、TSV 等。基板上是否要挖腔体，采用单面腔体还是基板顶层/底层双面腔体，以及腔体的深度等，同时也要考虑是否要做芯片堆叠 Stacked Dies，基板的层数和需要采用的层叠结构等通常在这一步也要定下来。

### **(6) 进入版图设计环境**

通过打包 Package 功能，以及前向标注等手段将原理图的连接关系、规则定义等传输到版图环境，同时自动调用中心库的相关 Cell 放到版图设计环境中。

### **(7) 层叠设置**

根据工艺的选择及设计的复杂程度进行层叠结构的设置，包括层数以及层叠结构的选择，是采用 1+N+1、2+N+2、m+N+m 或者 ALIVH 等层叠结构。

## **( 8 ) 约束规则设置**

主要包括网络分类，结构约束规则、间距约束规则、电气约束规则，高速网络约束、差分对约束等。

## **( 9 ) 器件布局**

主要确定裸芯片的摆放位置。如果芯片需要放置到腔体里，则需要确定腔体的深度以及是单级还是多级腔体，腔体形状的绘制等。

## **( 10 ) 引线键合、布线和敷铜**

主要确定键合线的键合方式，是单层键合线还是多层键合线，键合线的模型选择，电源环的设置；选择交互式手工布线或自动布线，电源平面层分割，射频电路设计，埋阻埋容的自动综合等。这一步工作量比较大。

## **( 11 ) 版图设计检查**

通过检查可发现版图设计中的 DRC 错误并进行修正，确保设计功能的正确性。

## **( 12 ) 设计后仿真**

设计后仿真可通过专用接口导出到仿真工具，进行信号完整性、电源完整性及电磁兼容方面的仿真和分析。

## **( 13 ) 设计热分析**

可通过专用接口导入热分析工具。通过热分析，可解决 SiP 工作中由于芯片功耗过大而发生的过热问题，确保产品的稳定性和可靠性。

## **( 14 ) 后处理及生产文件**

包括 Gerber 及钻孔文件的生成 ,BOM、DXF、IDF、GDSII、ODB++ 等格式的输出。

## **( 15 ) 电子结构一体化设计**

电子结构一体化主要包括电子和结构的协同。因为 EDA 工具主要完成的是 SiP 内部的东西，包括基板和芯片组装、键合等。而 SiP 的外壳等数据通常需要通过结构设计软件来确定，如陶瓷封装的金属框架、盖板、塑封的模封，金属封装的外壳等。

## **( 16 ) 设计结束**

所有上面的流程走完之后，SiP 设计结束，即可进入生产阶段。